

(9) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

(12) Patentschrift
(10) DE 41 34 547 C2

(51) Int. Cl. 5:
H 01 L 21/76
H 01 L 27/04
H 01 L 21/74

DE 41 34 547 C2

(21) Aktenzeichen: P 41 34 547.9-33
(22) Anmeldetag: 18. 10. 91
(43) Offenlegungstag: 23. 4. 92
(45) Veröffentlichungstag
der Patenterteilung: 20. 1. 94

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

(30) Unionspriorität: (32) (33) (31)

22.10.90 JP 2-274360

(73) Patentinhaber:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

(74) Vertreter:

Prüfer, L., Dipl.-Phys.; Materne, J., Dipl.-Phys.
Dr.rer.nat.habil., Pat.-Anwälte, 81545 München

(72) Erfinder:

Kimura, Hiroshi, Itami, Hyogo, JP

(56) Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

US 46 44 386
EP 03 17 257 A2

LEBLANC;

A.R.: One-Device Storage Cell Method in US-Z.: IBM
Technical Disclosure Bulletin, Vol. 16, No. 3,
August 1973, S. 956-957;
WANG, W.: Sidewall-Defined Self-Aligned
Reach-Up Isolation. In: US-Z.: IBM Technical
Disclosure Bulletin, Vol. 27, No. 3, August 1984,
S. 1470-1471;

(54) Isolationsstruktur für eine integrierte Halbleiterschaltung und Verfahren zur Herstellung derselben

DE 41 34 547 C2

Beschreibung

Die Erfindung betrifft eine Isolationsstruktur für eine integrierte Halbleiterschaltung nach dem Oberbegriff des Patentanspruches 1 und ein Verfahren zur Herstellung einer derartigen Isolationsstruktur für eine integrierte Halbleiterschaltung.

Eine Isolationsstruktur für eine integrierte Halbleiterschaltung nach dem Oberbegriff des Patentanspruches 1 ist aus Leblanc, A.R.: One-Device-Storage Cell Method, IBM Technical Disclosure Bulletin, Band 16, Nr. 3, August 1973, Seiten 956 bis 957 bekannt. Bei dieser Isolationsstruktur werden die zweiten Störstellenbereiche durch Ionenimplantation gebildet, wobei die Ionen an der Stelle, an der Source/Drain-Bereiche zu bilden sind, in das Substrat eindringen. Diese zweiten Störstellenbereiche haben daher den Vorteil, daß sie nicht die Source/Drain-Bereiche beeinflussen. Auf der anderen Seite können sie aber auch nichts zur Isolation von Halbleiterbauelementen, insbesondere von Feldeffekttransistoren beitragen.

Die Fig. 3A – 3F zeigen Querschnitte der Prozesse zur Bildung eines Isolierbereichs unter Verwendung herkömmlicher selektiver Oxidation.

Wie in Fig. 3A gezeigt ist, wird ein SiO₂-Film 22 mit einer Dicke von etwa 50 nm durch thermische Oxidation auf einem Siliziumsubstrat 21 gebildet. Der SiO₂-Film wird durch CVD (Chemical Vapour Deposition = chemische Dampfabscheidung) mit einem Si₃N₄-Film 23 bedeckt, der eine Dicke von etwa 300 nm aufweisen soll.

Wie in Fig. 3B dargestellt ist, wird auf dem Si₃N₄-Film 23 eine Photolackschicht gebildet. Dieser Photolackschicht wird ein Muster aufgeprägt, um das Photolackmuster 24 zu schaffen.

Wie in Fig. 3C gezeigt ist, wird der Si₃N₄-Film unter Verwendung des Photolackmusters 24 als Maske geätzt, um ein Si₃N₄-Muster 23a zu bilden. Anschließend werden das Si₃N₄-Filmmuster 23 und das Photolackmuster 24 bei einer Ionenbestrahlung als Maske benutzt, um einen Störstellenbereich 26 in einer Oberflächenschicht des Siliziumsubstrats 21 zu bilden. Ist das Substrat 21 vom p⁺-Leitfähigkeitsotyp, so werden bei diesem Prozeß üblicherweise Borionen mit einer Dosisrate von $1 \cdot 10^{13} \text{ cm}^{-2}$ bei einem Beschleunigungsspannungsbe reich von 20 bis 30 keV injiziert.

Wie in Fig. 3D dargestellt ist, wird das Photolackmuster 24 entfernt.

Wie in Fig. 3E gezeigt ist, wird das Siliziumsubstrat 21 unter Verwendung des Si₃N₄-Filmmusters 23a als Maske thermisch selektiv oxidiert, um einen Feldoxidfilm 22a mit einer Dicke von etwa 5000 Å zu schaffen. Bei diesem Prozeß wird Sauerstoff durch Diffusion auch lateral von einem Ende der Öffnung im Si₃N₄-Film 23a zugeführt, so daß ein Vogelschnabel 22b gebildet wird, der sich lateral ungefähr 0,3 – 0,5 µm vom Feldoxidfilm 22a aus erstreckt. Während der selektiven Oxidation diffundiert der Störstellenbereich 26 nicht nur in Tiefenrichtung, sondern auch in lateraler Richtung, wie das durch die Pfeile 27 dargestellt ist, um einen Kanalstopper 26a zu bilden, der sich lateral etwa 0,2 µm unterhalb der Kante des Vogelschnabels 22b erstreckt.

Um die Aktivierung eines parasitären MOS-Transistors (Metall-Oxid-Halbleiter-Transistor) während der Bildung einer (nicht dargestellten) Leiterbahn auf dem Feldoxidfilm 22a zu verhindern, soll der Feldoxidfilm 22a eine möglichst große Dicke aufweisen. Der Feldoxidfilm 22a erhöht jedoch die Breite des Vogelschna-

bels 22b. In einem Halbleiter-IC mit einer Versorgungsspannung von 5 V wird der Feldoxidfilm 22a üblicherweise mit einer Dicke von etwa 5000 Å gebildet, um eine exzessive Erweiterung des Vogelschnabels 22b zu vermeiden und die Schwellenspannung des parasitären MOS-Transistors auf einen Wert von 10 V oder mehr einzustellen.

Wie in Fig. 3F gezeigt ist, wird das Si₃N₄-Filmmuster 23a entfernt. Anschließend werden Ionen unter Verwendung der Feldoxidfilme 22a und 22b als Maske injiziert, wie durch die Pfeile 28 dargestellt ist, um Source-/Drain-Bereiche 29 von z. B. dem FET (Feldeffekttransistor) zu schaffen.

Um die Aktivierung des parasitären MOS-Transistors zu verhindern, ist im Kanalstopper 26a eine hohe Störstellenkonzentration günstig. Eine exzessiv hohe Störstellenkonzentration im Kanalstopper 26a reduziert jedoch die Übergangsdurchbruchspannung der Source-/Drain-Bereiche 29, die mit dem Kanalstopper 26a in Kontakt stehen. Daher werden die Borionen 25 mit einer Dosisrate von etwa $1 \cdot 10^{13} \text{ cm}^{-2}$ injiziert, wie unter Bezugnahme auf die Fig. 3C bereits beschrieben worden ist.

In Fig. 4A ist eine Draufsicht auf ein Beispiel eines Speicherzellenfeldes gezeigt, das einen Feldoxidfilm enthält, der mittels der selektiven Oxidation gebildet worden ist. In der oberen Hälfte der Fig. 4A sind zur Vereinfachung keine Bitleitungen BL dargestellt. Fig. 4C zeigt einen vergrößerten Querschnitt entlang der Achse 4C – 4C in Fig. 4A.

Wie aus den Fig. 4A und 4C ersichtlich ist, weist jeder langgestreckte Halbleiterschaltkreis-Elementbereich 30 drei Source-/Drain-Bereiche 9 auf, die in seiner Längsrichtung angeordnet sind. Die drei Source-/Drain-Bereiche 9 bilden ein Paar von FETs, und der mittlere Source-/Drain-Bereich 9 wird von den zwei FETs gemeinsam benutzt und ist über ein Kontaktloch 31 mit der Bitleitung BL verbunden. Jeder FET wird durch eine entsprechende Wortleitung WL selektiv durchgeschaltet oder gesperrt.

In den Halbleiterelementbereichen 30, die vom Feldoxidfilm 22a umgeben sind, erstrecken sich die Vogelschnäbel 22b mit Breiten von etwa 0,3 µm entlang von deren Rändern, wodurch die effektiven Breiten der Halbleiterelementbereiche 30 reduziert werden.

Nun wird Bezug auf die Fig. 4B genommen, die einen vergrößerten Querschnitt entlang der Achse 4B – 4B der Fig. 4A darstellt. Auf dem Si-Substrat 21 ist der Feldoxidfilm 22a gebildet, und die Vogelschnäbel 22b mit einer Breite von etwa 0,3 µm erstrecken sich in den Halbleiterelementbereich 30. Der Kanalstopper 26a, der im Si-Substrat gebildet ist und sich in Kontakt mit den Bodenflächen der SiO₂-Filme 22a und 22b befindet, erstreckt sich in der Breite ungefähr 0,2 µm unterhalb der Kante des Vogelschnabels 22b in den Halbleiterelementbereich 30 hinein. Zwischen den einander gegenüberliegenden Kanten der Vogelschnäbel 22b ist auf dem Si-Substrat 21 ein Gate-Isolierfilm 32 gebildet. Auf dem Gate-Isolierfilm 32 ist eine Wortleitung WL geschaffen.

Wie aus den Fig. 4A und 4B ersichtlich ist, wird der Halbleiterelementbereich 30 nicht ganz mit dem Vogelschnabel 22b bedeckt, wenn der Halbleiterelementbereich 30 eine Breite von 1 µm oder mehr aufweist, und der Kanalstopper 26a erstreckt sich nicht in die gesamte Fläche des Halbleiterelementbereichs 30. Das bedeutet, daß ein Bereich oder eine Fläche zum Bilden eines FET im Kanalstopper 26a und des Vogelschnabels 22a übrig-

bleibt, die sich vom Rand des Halbleiterelementbereichs 30 nach innen erstreckt, wenn der Halbleiterelementbereich 30 eine Breite von $1 \mu\text{m}$ der mehr besitzt.

Wird jedoch die Breite des Halbleiterelementbereichs 30 etwa $1 \mu\text{m}$ klein, so wird auch der effektive Bereich zum Bilden des FET schmäler, wodurch sich der Stromwert des FET reduziert und der Kontaktwiderstand des Kontaktlochs 31 ansteigt. Das führt zu einer Verschlechterung der Leistungsfähigkeit des Halbleiter-IC. Genauer gesagt tritt in einem kleinen FET mit einem Kanal von weniger als $1 \mu\text{m}$ durch das Eindringen des Kanalstoppers 26a in die Source-/Drain-Bereiche ein sogenannter Kurzkanaleffekt auf, bei dem die Schwellenspannung schwankt.

Ferner streckt sich im Halbleiterelementbereich 30 mit einer Breite von weniger als $1 \mu\text{m}$ der Kanalstopper 26 über den Halbleiterelementbereich 30, wodurch die Bildung des FET schwierig wird. Wird die Breite des Halbleiterelementbereichs 30 auf weniger als $0,6 \mu\text{m}$ reduziert, so wird darüber hinaus der Halbleiterelementbereich 30 vollkommen mit dem Vogelschnabel 22b bedeckt, wodurch die Bildung des FET unmöglich ist.

In Fig. 5 ist die gleichzeitige Bildung einer Kanalstopperschicht und einer Durchgriff-Verhinderungsschicht durch Ionenimplantation mittels eines Feldoxidfilmmusters entsprechend dem Stand der Technik dargestellt. Beispielsweise werden Borionen 35 mit einer Beschleunigungsenergie von 200 keV durch ein Feldoxidfilmmuster 22a, 22b mit einer Dicke von 5000 \AA implantiert. Damit werden gleichzeitig eine Kanalstopperschicht 36a und eine Durchgriff-Verhinderungsschicht 36b gebildet.

Das Feldoxidfilmmuster weist jedoch einen Vogelschnabel 22b auf, dessen Dicke allmählich abnimmt. Damit wird zwischen der Kanalstopperschicht 36a und der Durchgriff-Verhinderungsschicht 36b eine Übergangsstörstellenschicht 36c gebildet. Während einer Wärmebehandlung in einer späteren Stufe kann sich die Übergangsstörstellenschicht 36c in unvorhersehbarer Weise durch Diffusion in den Halbleiterelementbereich ausbreiten, der dem Feldoxidfilm 22a, 22b benachbart ist.

Aus Wang, W.: Sidewall-Defined Self-Aligned Reach-Up Isolation, IBM Technical Disclosure Bulletin, Band 27, Nr. 3, August 1984, Seiten 1470 bis 1471 ist es noch bekannt, auf den Seitenwänden von Trennisolierfilmen, die zum Trennen von Halbleiterelementbereichen dienen. Seitenwandisolierfilme zur selbstjustierenden Erzeugung von Störstellenbereichen anzubringen.

Aus der EP 03 17 257 A2 ist es bekannt, eine durch Ionenimplantation erzeugte p^+ -Schicht unterhalb eines Feldeffekttransistors anzutragen, die als LadungsbARRIERESCHIEHT für durch Alpha-Teilchen erzeugte Elektronen-Loch-Paare dient.

Schließlich ist es aus der US 46 44 386 bekannt, eine durch Ionenimplantation erzeugte p^+ -Schicht vorzusehen, die einen Durchgriff bei einem Feldeffekttransistor verhindert. Diese p^+ -Schicht ist unterhalb des Feldeffekttransistors angeordnet. Die Halbleiterbauelemente werden durch Trennisolierfilme mit sogenannten "Vogelschnäbeln" voneinander getrennt. Dabei verhindern die "Vogelschnäbel" eine weitergehende Miniaturisierung der Halbleitereinrichtung im Sub-Mikrometerbereich.

Es ist daher Aufgabe der vorliegenden Erfindung, eine Isolationsstruktur für eine integrierte Halbleiterorschaltung der eingangs beschriebenen Art vorzusehen, die eine weitergehende Miniaturisierung durch eine verbesserte Isolation der Halbleiterbauelemente voneinan-

der ermöglicht. Es ist ebenfalls Aufgabe der Erfindung, ein Herstellungsverfahren für eine derartige Isolationsstruktur anzugeben.

Diese Aufgabe wird gelöst durch eine Isolationsstruktur für eine integrierte Halbleiterorschaltung der eingangs beschriebenen Art, die durch die Merkmale des Patentanspruches 1 gekennzeichnet ist.

Bevorzugte Ausgestaltungen der Isolationsstruktur ergeben sich aus den zugehörigen Unteransprüchen.

Weiterhin wird die Aufgabe gelöst durch ein Verfahren zur Herstellung einer Isolationsstruktur für eine integrierte Halbleiterorschaltung, das die Merkmale des Patentanspruches 9 aufweist. Bevorzugte Ausgestaltungen des Verfahrens ergeben sich aus den zugehörigen Unteransprüchen.

Da der Trennisolierfilm mit der im wesentlichen vertikalen Seitenwand in Übereinstimmung mit der Erfindung mittels Photolithographie gebildet wird, werden die Halbleiterelementbereiche präzise festgelegt. Da die Ionenimplantation durch den Trennisolierfilm hindurch den ersten Störstellenbereich bildet, der als Kanalstopper dient, können ferner die zweiten Störstellenbereiche, die als sogenannte Durchgriff-Verhinderungsschicht dienen, gleichzeitig geschaffen werden. Da der Seitenwand-Isolierfilm durch anisotropes Ätzen mit einer Breite von etwa $0,1 \mu\text{m}$ oder weniger gebildet werden kann, lässt sich darüber hinaus die Breite des Halbleiterelementbereiches reduzieren. Da die Störstellen schichten wie Source/Drain des FET durch Ionenimplantation gebildet werden, wobei nicht nur der Trenn isolierfilm, sondern auch der Seitenwand-Isolierfilm als Maske benutzt werden, gibt es keine Überlappung zwischen dem Source/Drain-Bereich und dem Kanalstopper. Entsprechend verschlechtert der Kanalstopper die Eigenschaften des FET nicht.

Es folgt die Beschreibung eines Ausführungsbeispieles anhand der Figuren. Von den Figuren zeigen:

Fig. 1A – 1F Querschnitte des Verfahrens zur Herstellung einer Isolationsstruktur nach einer Ausführungsform der Erfindung;

Fig. 2A eine schematische Draufsicht, die ein Speicherzellenfeld mit einer Isolationsstruktur nach der Erfindung darstellt;

Fig. 2B einen vergrößerten Querschnitt entlang der Achse 2B – 2B in Fig. 2A;

Fig. 2C einen vergrößerten Querschnitt entlang der Achse 2C – 2C in Fig. 2A;

Fig. 3A – 3F Querschnitte der Verfahren zur Herstellung eines Feldoxidfilms nach dem Stand der Technik;

Fig. 4A eine schematische Draufsicht, die ein Speicherzellenfeld mit einem Feldoxidfilm nach dem Stand der Technik darstellt;

Fig. 4B einen vergrößerten Querschnitt entlang der Achse 4B – 4B in Fig. 4A;

Fig. 4C einen vergrößerten Querschnitt entlang der Achse 4C – 4C in Fig. 4A;

Fig. 5 einen Querschnitt, der die gleichzeitige Bildung einer Kanalstopperschicht und einer Durchgriff-Verhinderungsschicht durch Ionenimplantation nach dem Stand der Technik darstellt.

Wie in Fig. 1A gezeigt ist, wird z. B. durch CVD ein erster Trennfilm 2 (z. B. SiO_2) mit einer Dicke von etwa 400 nm auf einem Halbleitersubstrat 1 (z. B. Silizium) vom p^- -Leitfähigkeits Typ abgeschieden. Auf den ersten Trennfilm 2 wird eine Photolackschicht 3 aufgebracht. Die Photolackschicht 3 wird Licht 4 ausgesetzt, das durch eine Photomask hindurchtritt.

Wie in Fig. 1B dargestellt ist, wird durch Entwicklung

der Photolackschicht 3 ein Photolackmuster 3a gebildet. Das Photolackmuster 3a wird als Maske für eine anisotrope Ätzung des ersten Trennfilms 2 benutzt, w bei ein Trennisolierfilm 2a mit einer im wesentlichen vertikalen Wand gebildet wird.

Wie in Fig. 1c gezeigt ist, werden z. B. Borionen 5 mit einer Dosisrate im Bereich von $1 \cdot 10^{12} - 1 \cdot 10^{14} \text{ cm}^{-2}$ abhängig von der Breite des Trennisolierfilms 2a etc. und bevorzugt mit $1 \cdot 10^{14} \text{ cm}^{-2}$ bei einer Beschleunigungsenergie im Bereich von 110–210 keV und bevorzugterweise 160 keV implantiert. Ist die Beschleunigungsenergie zu klein, so können die Ionen nicht in den Trennisolierfilm 2a eindringen. Ist andererseits die Beschleunigungsenergie zu hoch, so wird die Störstellenkonzentration unmittelbar unter dem Trennisolierfilm 2a nicht hoch. Nebenbei bemerkt können auch Aluminium- und Galliumionen anstelle der Borionen benutzt werden. Als Ergebnis der Ionenimplantation werden ein erster Störstellenbereich 6, der eine Dicke von etwa 200 nm besitzt und als Kanalstopper unter dem Trennisolierfilm 2a dient, und zweite Störstellenbereiche 7, die voneinander durch den Trennisolierfilm 2a getrennt sind und eine Dicke von etwa 200 nm aufweisen, in einer Tiefe von ungefähr 400 nm von der Oberfläche des Halbleitersubstrats 1 entfernt gebildet. Die zweiten Störstellenbereiche 7 sollen den Durchgriff der FETs, die in einem nachfolgenden Prozeß in den Halbleiterelementbereichen gebildet werden, verhindern.

Da in diesem Fall der Trennisolierfilm 2a eine gleichmäßige Dicke von etwa 400 nm und vertikale Seitenwände aufweist, wird keine unerwünschte Übergangsstörstellenschicht wie in Fig. 5 dargestellt gebildet, wie das aus Fig. 1C ersichtlich ist.

Wie in Fig. 1D gezeigt ist, wird z. B. durch CVD ein zweiter Trennfilm 8 (z. B. SiO₂) mit einer Dicke im Bereich von 100 nm bis 200 nm abgeschieden, um die Oberflächen des Trennisoliermusters 2a und des Halbleitersubstrats 1 zu bedecken. Der zweite Trennfilm 8 kann aus einem anderen Material als der Trennfilm 2a gebildet sein.

Wie in Fig. 1E dargestellt ist, wird mit dem zweiten Trennfilm 8 von oben ohne Maske ein anisotropes Ätzen ausgeführt. Damit bleibt ein Seitenwand-Isolierfilm 8a auf der vertikalen Seitenwand des Trennfilms 2a übrig. Die Breite des Seitenwand-Isolierfilms 8a hängt von der Dicke des zweiten Trennfilms 8 ab, und damit kann der Seitenwand-Isolierfilm 8a mit einer kleinen Breite von etwa 0,1 μm geschaffen werden. Somit läßt sich der Seitenwand-Isolierfilm 8a präzise mit geringerer Breite als beim herkömmlichen Vogelschnabel bilden.

Wie in Fig. 1F gezeigt ist, werden der Trennisolierfilm 2a und der Seitenwand-Isolierfilm 8a als Maske benutzt und es werden z. B. Arsenionen 9a mit einer Dosisrate von $5 \cdot 10^{15} \text{ cm}^{-2}$ bei einer Energie von 50 keV implantiert, um Source-/Drain-Bereiche 9 des FET zu bilden. Die so gebildeten Source-/Drain-Bereiche 9 sind vom Kanalstopperbereich 6 um die Distanz von etwa 0,1 μm getrennt, die der Breite des Seitenwand-Isolierfilms 8a entspricht.

Damit wird der FET nicht durch das Eindringen des Kanalstopperbereichs 6 in die Source-/Drain-Bereiche 9 nachteilig beeinflußt. Entsprechend kann die Dosis der Ionen im Kanalstopper 6 auf das Zehnfache der Dosis beim Stand der Technik erhöht werden, wie im Zusammenhang mit den Fig. 1C und 3F erwähnt wird. Es ist zu bemerken, daß die Dicke der Source-/Drain-Bereiche 9 durch die Beschleunigungsenergie der Ionen gesteuert

werden kann und üblicherweise im Bereich von 100 nm bis 300 nm liegt.

Nun wird auf die Fig. 2A Bezug genommen, die eine schematische Draufsicht auf ein Speicherzellenfeld mit einem erfundsgemäßen Trennbereich darstellt. In der oberen Hälfte der Fig. 2A sind zur Vereinfachung keine Bitleitungen BL gezeigt. Fig. 2C zeigt einen vergrößerten Querschnitt entlang der Achse 2C–2C der Fig. 2A.

- 10 Wie aus den Fig. 2A und 2C ersichtlich ist, weist jeder langgestreckte Halbleiterschaltkreis-Elementbereich 10 drei Source-/Drain-Bereiche 9 auf, die in dessen Längsrichtung angeordnet sind. Die drei Source-/Drain-Bereiche 9 bilden ein Paar von FETs, und der mittlere Source-/Drain-Bereich 9 wird von diesen zwei FETs gemeinsam benutzt und ist über ein Kontaktloch 11 mit der Bitleitung BL verbunden. Jeder FET wird durch eine entsprechende Wortleitung WL selektiv durchgeschaltet oder gesperrt.
- 20 Der Seitenwand-Isolierfilm 8a mit einer Breite von etwa 0,1 μm ist entlang des Randes des jeweiligen Halbleiterelementbereichs 10 gebildet, der vom Trennisolierfilm 2a umgeben ist. Der Vogelschnabel 22b beim Stand der Technik besitzt die große Breite von etwa 0,3–0,5 μm und eine genaue Steuerung der Breite war schwierig. Dagegen kann die Breite des Seitenwand-Isolierfilms 8a genau gesteuert werden, um den Seitenwand-Isolierfilm 8a mit der Dicke von höchstens 0,1 μm zu bilden. Daher wird die effektive Breite des Halbleiterelementbereichs 10 durch den Seitenwand-Isolierfilm 8a nur in geringem Maße reduziert.

Nun wird auf die Fig. 2B Bezug genommen, die einen vergrößerten Querschnitt entlang der Achse 2B–2B der Fig. 2A darstellt. Ein Trennisolierfilm 2a wird auf dem Halbleitersubstrat 1 und der Kanalstopper 6 unmittelbar unter dem Trennisolierfilm 2a gebildet. Die vertikale Seitenwand des Trennisolierfilms 2a, der mittels Photolithographie und anisotropem Ätzen exakt gebildet worden ist, bestimmt den Halbleiterelementbereich 10, in dem der Störstellenbereich 7 zur Verhinderung des Durchgriffs gebildet wird. Auf der vertikalen Seitenwand des Trennisolierfilms 2a wird der Seitenwand-Isolierfilm 8a mit einer Dicke von etwa 0,1 μm geschaffen. Zwischen den einander gegenüberliegenden Abschnitten der Seitenwand-Isolierfilme 8a wird auf der Oberfläche des Halbleitersubstrats 1 ein Gate-Isolierfilm 12 gebildet. Auf dem Gate-Isolierfilm 12 wird eine Wortleitung WL geschaffen.

Obwohl bei der oben beschriebenen Ausführungsform der erste Trennfilm 2 mit einer Dicke von etwa 400 nm durch CVD abgeschieden wird, kann er auch durch thermische Oxidation gebildet werden. Wird das Siliziumsubstrat oxidiert, um einen Oxidfilm zu bilden, wird das Volumen des Oxidfilms wesentlich größer als das des verbrauchten Siliziums. Beim Stand der Technik führt das vor allem in der Nähe des Vogelschnabels zu einer Spannungskonzentration zwischen dem Siliziumsubstrat und dem durch LOCOS gebildeten Oxidfilm. Bei der vorliegenden Erfindung wird der thermische Oxidfilm dagegen auf der gesamten Oberfläche des Siliziumsubstrats gebildet. Damit ist die Spannungskonzentration zwischen dem Oxidfilm und dem Siliziumsubstrat wesentlich geringer als in der Nähe des Vogelschnabels.

Da bei der vorliegenden Erfindung wie oben beschrieben der Trennisolierfilm mit der im wesentlichen vertikalen Seitenwand mittels Photolithographie gebildet wird, kann der Halbleiterelementbereich präzise

festgelegt werden. Da ferner der Störstellenbereich, der als Kanalstopper dient, durch Ionenimplantation durch den Trennisolierfilm hindurch geschaffen wird, kann der zweite Störstellenbereich, der als Durchgriff-Verhindungsschicht dient, gleichzeitig gebildet werden, ohne daß eine Übergangsstörstellenschicht auftritt. Da der Seitenwand-Isolierfilm durch anisotropes Ätzen exakt mit einer Breite von weniger als 0,1 µm geschaffen werden kann, wird die Breite des Halbleiterelementbereichs reduziert. Weil die Störstellenschicht wie z. B. Source/Drain des FET durch Ionenimplantation gebildet wird, wobei nicht nur der Trennisolierfilm, sondern auch der Seitenwand-Isolierfilm als Maske benutzt werden, gibt es darüber hinaus keine Überlappung des Source-/Drain-Bereichs mit dem Kanalstopper. Damit verschlechtert der Kanalstopper die Eigenschaften des FET nicht.

Patentansprüche

1. Isolationsstruktur für eine integrierte Halbleiter-Schaltung, aufweisend
ein Halbleitersubstrat (1) mit einer Hauptoberfläche, einen Trennisolierfilm (2a), der auf der Hauptoberfläche gebildet und strukturiert ist und im wesentlichen vertikale Seitenwände besitzt,
eine Mehrzahl von Halbleiterelementbereichen (10), in der Hauptoberfläche, die von dem Trennisolierfilm (2a) umgeben sind, zum Bilden von Halbleiter-Schaltkreiselementen in ihnen, einen ersten Störstellenbereich (6), der im Substrat (1) unterhalb des Trennisolierfilms (2a) in einer vorbestimmten Tiefe in Bezug auf die Grenzfläche, die zwischen dem Trennisolierfilm (2a) und dem Substrat (1) besteht, durch Ionenimplantation (5) gebildet ist, und
zweite Störstellenbereiche (7), die in den Halbleiterelementbereichen (10) gleichzeitig mit dem ersten Störstellenbereich durch die Ionenimplantation (5) gebildet werden und sich in einer vorbestimmten Tiefe in Bezug auf die Hauptoberfläche befinden,
dadurch gekennzeichnet, daß die zweiten Störstellenbereiche (7) räumlich derart angeordnet sind, daß ein Durchgriff von Feldeffekttransistoren, die in den Halbleiterelementbereichen (10) gebildet sind, verhindert ist, und daß an jede der vertikalen Seitenwände des Trennisolierfilms ein Seitenwand-Isolierfilm (8a) angrenzt.
2. Isolationsstruktur nach Anspruch 1, dadurch gekennzeichnet, daß der Trennisolierfilm (2a) aus einer ersten Oxidschicht und der Seitenwand-Isolierfilm (8a) aus einer zweiten Oxidschicht besteht.
3. Halbleitereinrichtung nach Anspruch 2, dadurch gekennzeichnet, daß die erste Oxidschicht eine Dicke von etwa 400 nm aufweist.
4. Isolationsstruktur nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Einrichtung ferner dritte Störstellenbereiche (9) aufweist, die durch eine zweite Ionenimplantation (9a) unter Verwendung des Trennisolierfilms (2a) und des Seitenwand-Isolierfilms (8a) als Maske gebildet sind.
5. Isolationsstruktur nach Anspruch 4, dadurch gekennzeichnet, daß die ersten und dritten Störstellenbereiche (6, 7) mit Störstellen desselben Typs gebildet sind.
6. Isolationsstruktur nach Anspruch 4, dadurch gekennzeichnet, daß die dritten Störstellenbereiche (9) als Source-/Drain-Bereiche der Feldeffekttransistoren

sistoren, die sich in den Halbleiterelementbereichen (10) befinden, dienen.

7. Isolationsstruktur nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß die zweiten Störstellenbereiche (9) mit einem Störstellentyp gebildet sind, der sich von dem der ersten und dritten Bereiche (6, 7) unterscheidet.

8. Isolationsstruktur nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die ersten Störstellenbereiche (6) als Kanalstopper dienen.

9. Verfahren zur Herstellung einer Isolationsstruktur, für eine integrierte Halbleiterschaltung mit den Verfahrensschritten:

Bilden eines ersten Trennfilms (2) auf der Hauptoberfläche eines Halbleitersubstrats (1).

Mustern des ersten Trennfilms (2), um einen Trennisolierfilm (2a) mit einer im wesentlichen vertikalen Seitenwand zu schaffen,

Ausführen einer ganzflächigen Ionenimplantation (5), wobei erste Störstellenbereiche (6) im Substrat (1) unterhalb des Trennisolierfilms (2a) in einer vorbestimmten Tiefe in Bezug auf die Grenzfläche, die zwischen dem Trennisolierfilm (2a) und dem Substrat (1) besteht, entstehen und gleichzeitig in den Halbleiterelementbereichen (10), die vom Trennisolierfilm (2a) umgeben sind, zweite Störstellenbereiche (7) in einer solchen Tiefe in Bezug auf die Hauptoberfläche gebildet werden, daß ein Durchgriff von Feldeffekttransistoren, die sich in den halbleiterelementbereichen (10) befinden, verhindert wird,

ganzflächiges Aufbringen und anschließendes anisotropes Rückätzen eines zweiten Trennfilms (8), wodurch an jede der vertikalen Seitenwände des Trennisolierfilms (2a) angrenzender Seitenwand-Isolierfilm (8a) gebildet wird.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß die erste Trennfilm (2) durch CVD abgeschieden wird.

11. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß der erste Trennfilm (2) durch Oxidation der gesamten Hauptoberfläche des Substrats (1) gebildet wird.

12. Verfahren nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, daß das Verfahren ferner den Schritt der Ausführung einer zweiten Ionenimplantation (9a) unter Verwendung des Trennisolierfilms (2a) und des Seitenwand-Isolierfilms (8a) zum Bilden von dritten Störstellenbereichen (9) aufweist.

13. Verfahren nach dem Anspruch 12, dadurch gekennzeichnet, daß die dritten Störstellenbereiche (9) als Source-/Drain-Bereiche der Feldeffekttransistoren, die sich in Halbleiterelementbereichen (10) befinden, dienen.

14. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, daß die ersten Störstellenbereiche (6) als Kanalstopper dienen.

Hierzu 9 Seite(n) Zeichnungen

FIG.1A

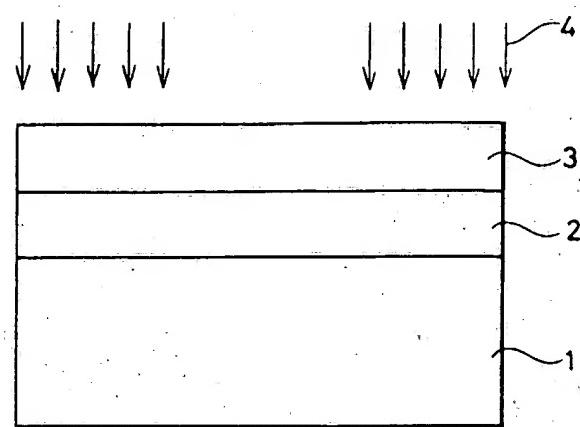


FIG.1B

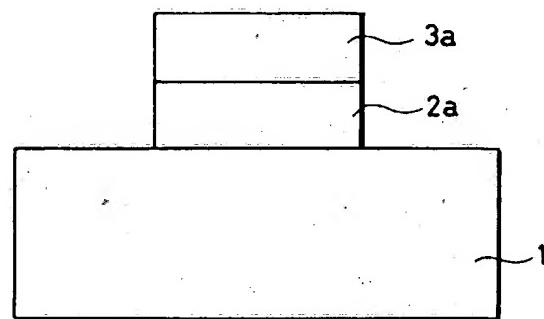


FIG.1C

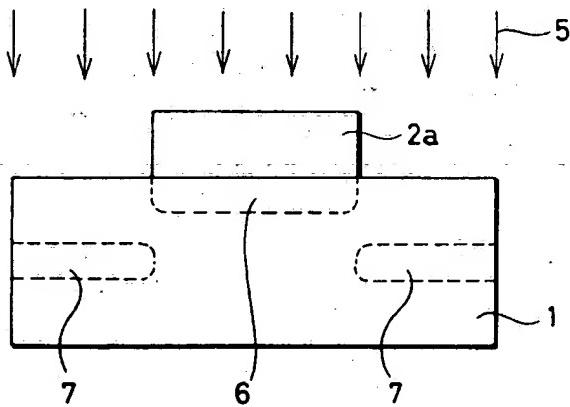


FIG. 1D

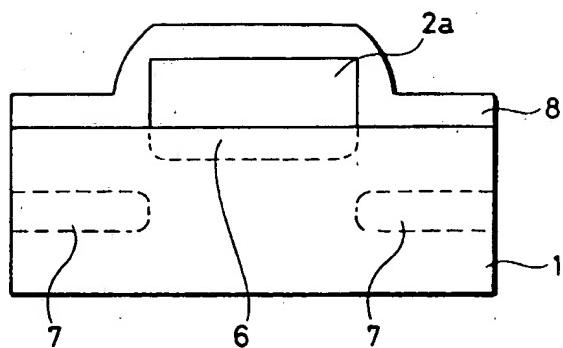


FIG. 1E

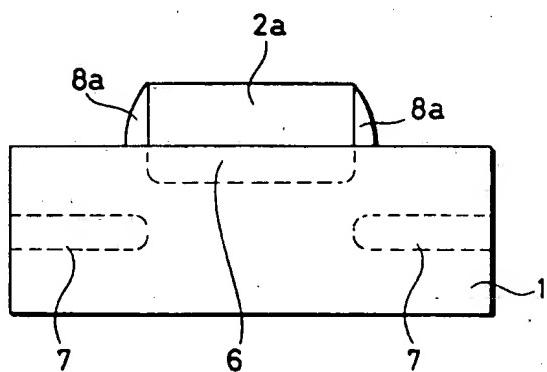


FIG. 1F

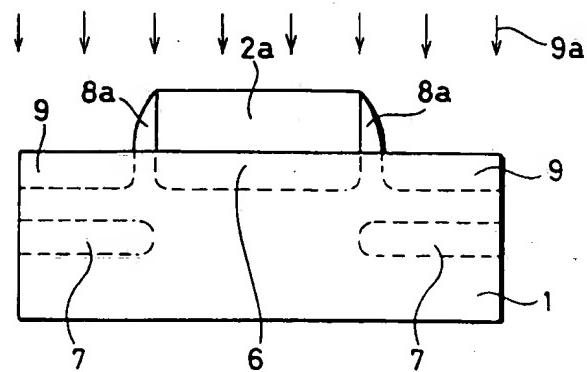


FIG. 2A

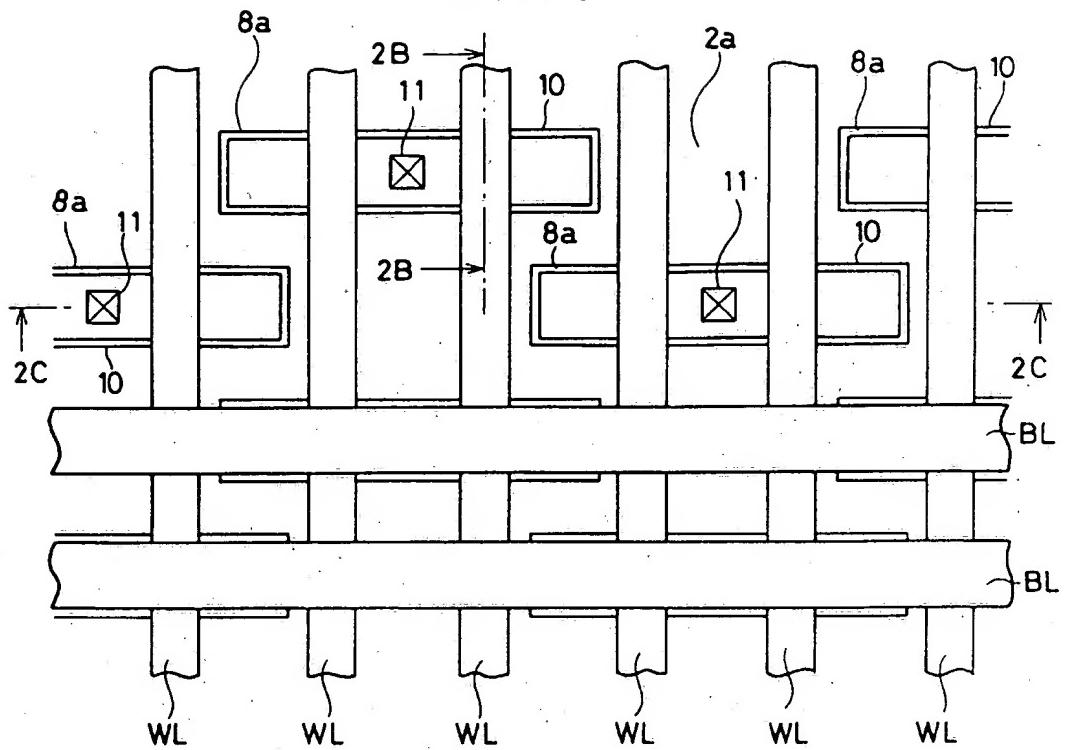


FIG. 2B

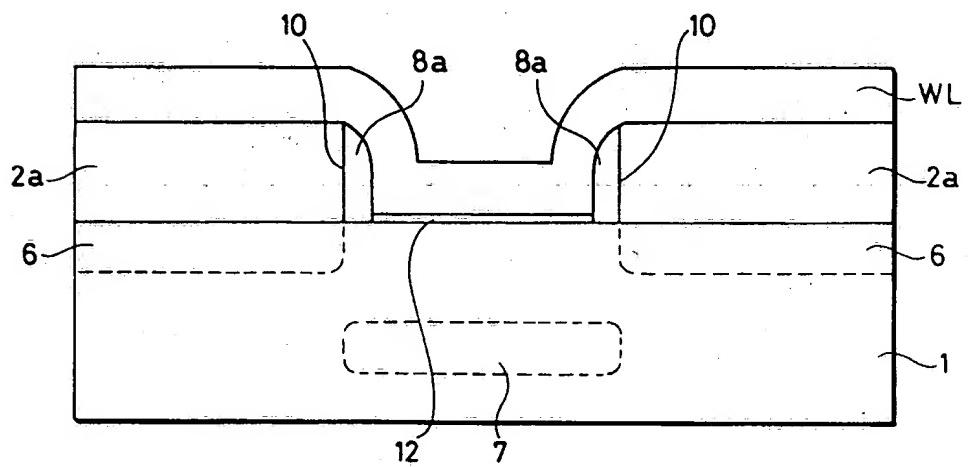


FIG. 2C

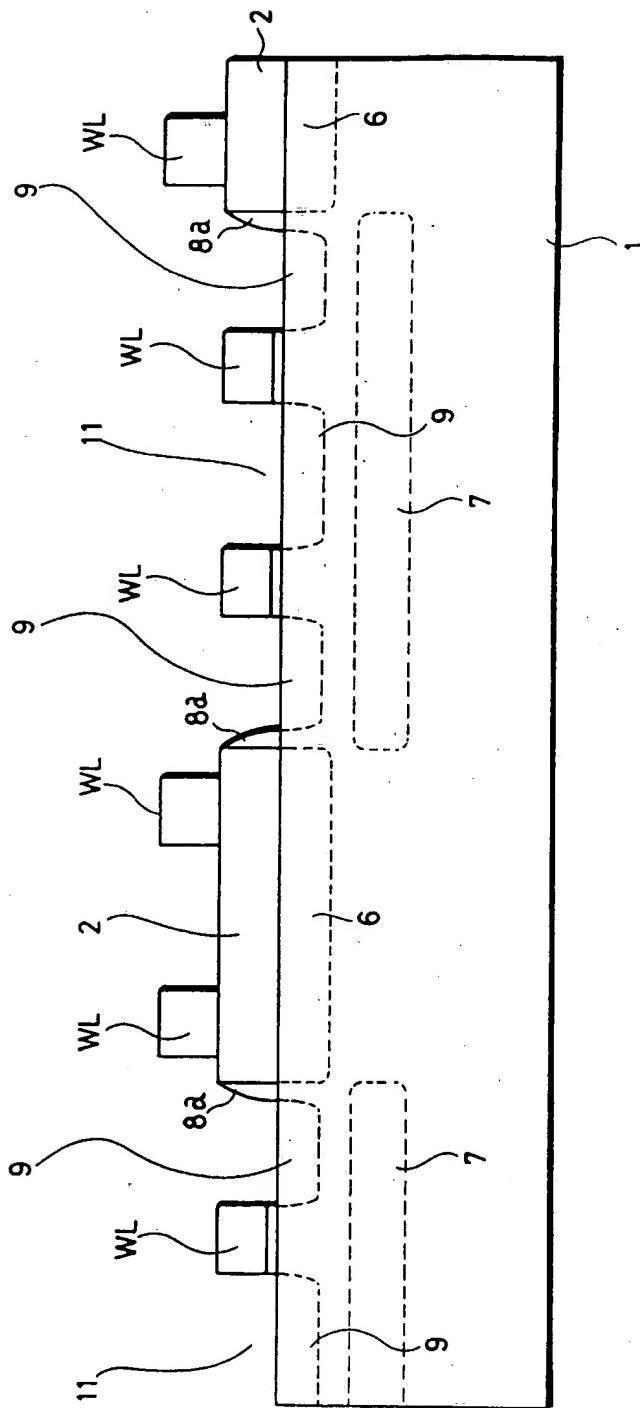


FIG. 3A

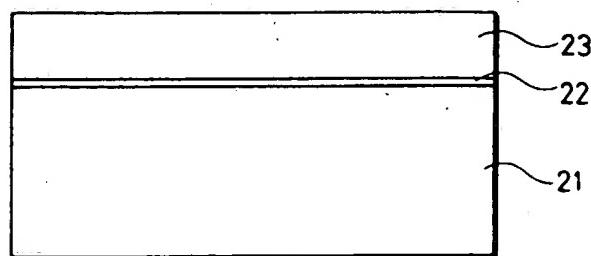


FIG. 3B

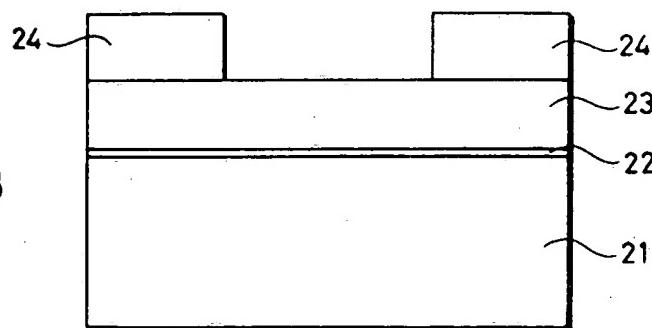


FIG. 3C

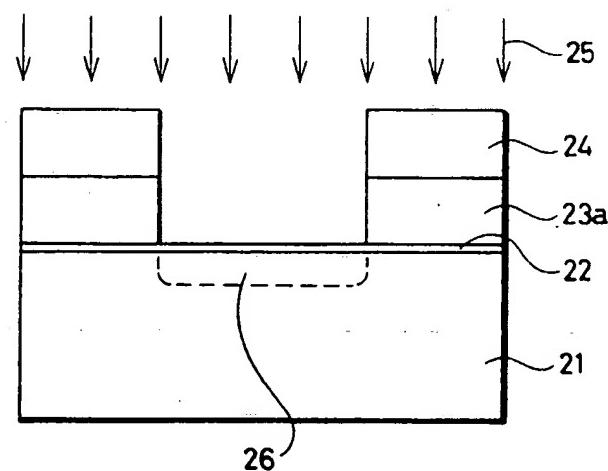


FIG. 3D

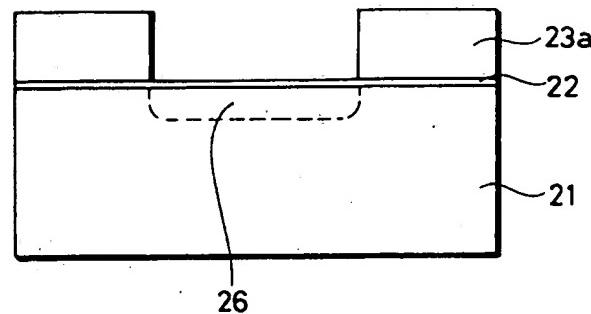


FIG. 3E

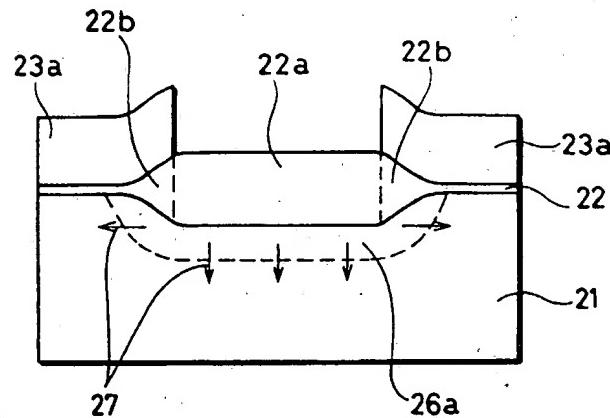


FIG. 3F

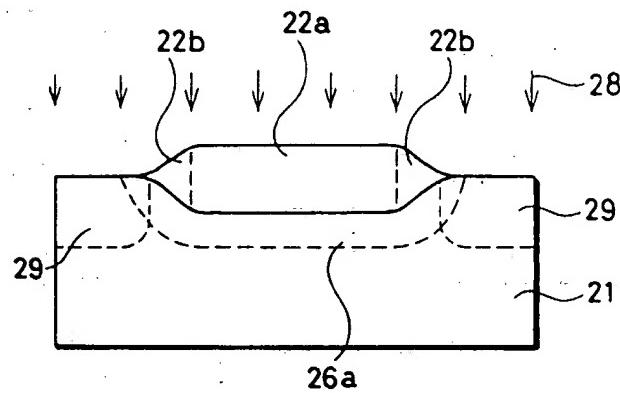


FIG. 4A

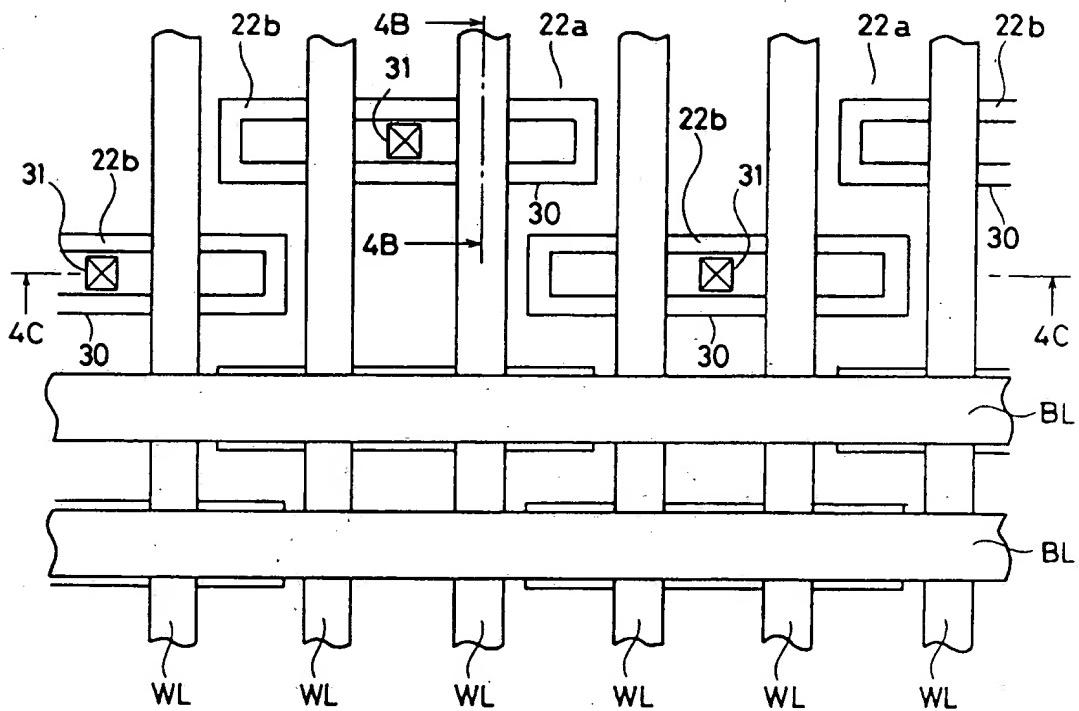


FIG. 4B

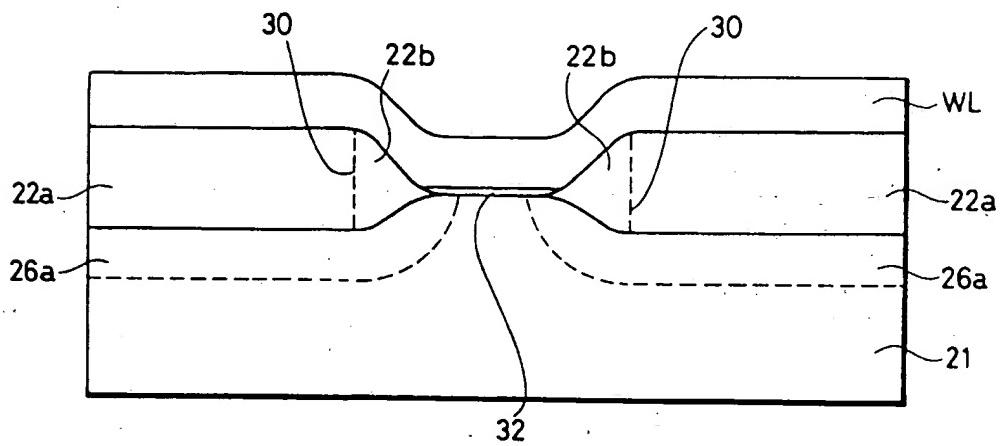


FIG. 4C

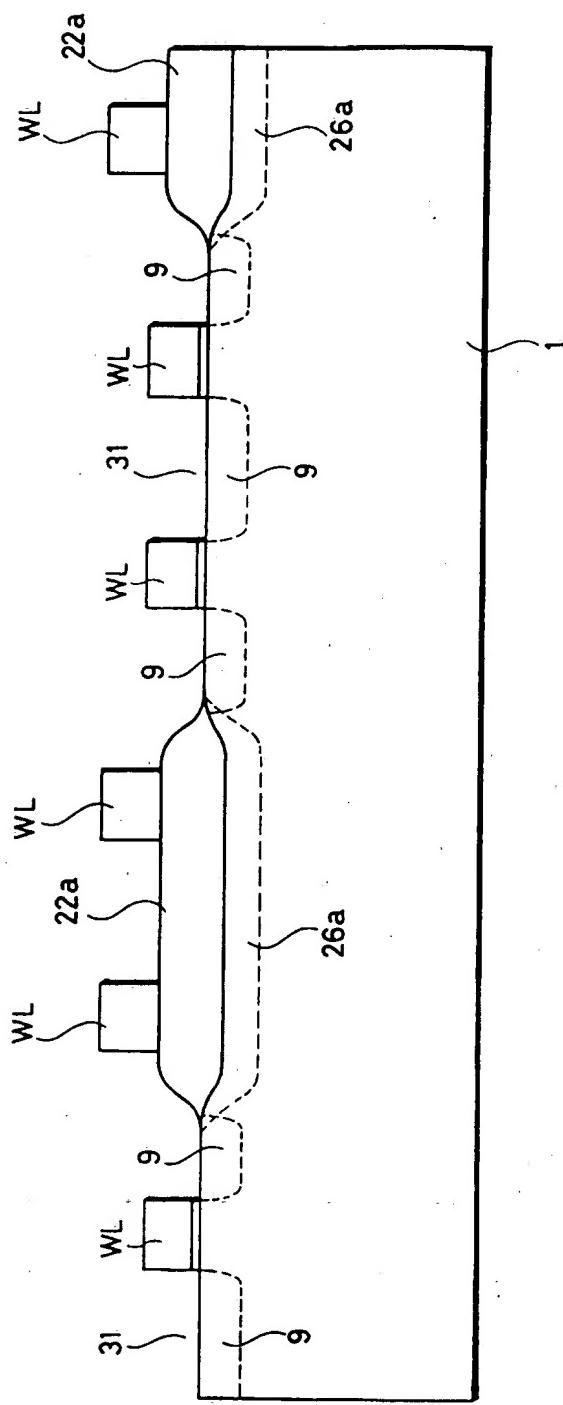


FIG. 5

